

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

EXPRESS MAIL NO. EV336594851US

PUBLICATION NUMBER : 09283643
PUBLICATION DATE : 31-10-97

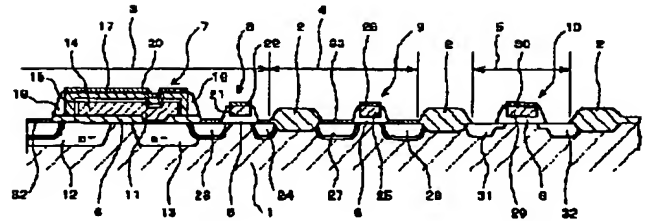
APPLICATION DATE : 19-04-96
APPLICATION NUMBER : 08097885

APPLICANT : ROHM CO LTD;

INVENTOR : HASHIMOTO KOJI;

INT.CL. : H01L 21/8247 H01L 29/788 H01L
29/792 H01L 21/28 H01L 21/3205
H01L 29/78

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device, wherein the operating speed of the device can be increased and moreover, the microscopic formation of the device is easy by making thin a conductive layer, and a method of manufacturing the device.

SOLUTION: A semiconductor device is provided with a memory cell 7, which is provided with a floating gate 14 and a control gate 17 provided on the gate 14, a select transistor 8 provided with a select gate 21, a high- breakdown strength transistor 9 and a logic transistor 10 and the gates 17 and 21 and moreover, the transistors 9 and 10 are formed in such a way that the surfaces of the gates 17 and 21 and the surfaces of gates of the transistors 9 and 10 are respectively silicified.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-283643

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L	29/78
	29/788			21/28
	29/792			21/88
	21/28	3 0 1		29/78
	21/3205			

審査請求 未請求 請求項の数4 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願平8-97885

(22)出願日 平成8年(1996)4月19日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 松本 裕司

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

(72)発明者 橋本 浩二

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

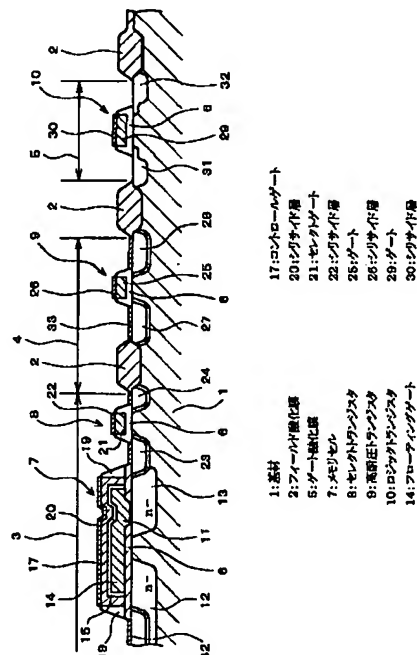
(74)代理人 弁理士 古谷 栄男 (外2名)

(54)【発明の名称】 半導体装置および半導体装置の製造法

(57)【要約】

【課題】動作速度を高速化することができ、しかも導電層を薄くすることによって微細化が容易な半導体装置および半導体装置の製造方法の提供を目的とする。

【解決手段】 フローティングゲート14およびその上に設けたコントロールゲート17を備えたメモリセル7と、セレクトゲート21を備えたセレクトトランジスタ8と、高耐圧トランジスタ9およびロジックトランジスタ10を備えており、前記コントロールゲート17、セレクトゲート21、さらに高耐圧トランジスタ9およびロジックトランジスタ10の各ゲートの表面がそれぞれシリサイド化されている半導体装置。



【特許請求の範囲】

【請求項1】半導体基板表面に設けられており、当該半導体基板表面から突出して位置する多層構造の導電層、を有する半導体基板において、導電層は、シリサイド化された部分を備えて構成されている、

ことを特徴とする半導体装置。

【請求項2】請求項1に係る半導体装置において、前記導電層の表面がシリサイド化されている、ことを特徴とする半導体装置。

【請求項3】請求項2に係る半導体装置において、前記導電層は、フローティングゲートおよびその上部に位置するコントロールゲートとして構成されており、コントロールゲートの表面がシリサイド化されている、ことを特徴とする半導体装置。

【請求項4】半導体基板上に、所定のパターンで多層構造の導電層を形成するステップ、前記導電層を覆って金属膜を形成するステップ、前記金属膜と接している前記導電層の表面をシリサイド化するステップ、前記金属膜を除去するステップ、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は半導体装置および半導体装置の製造法に関し、特に多層構造の導電層を有する半導体装置および半導体装置の製造法に関する。

【0002】

【従来の技術】EPROMやEEPROMのような不揮発性メモリでは、フローティングゲートを第1層とし、コントロールゲートを第2層で構成する多層構造としている。フローティングゲート、コントロールゲートは導電性を有しており、ポリシリコン（不純物を含む多結晶シリコン）によって形成されている。これらの層は上記の各ゲートの他、セレクトトランジスタ、高耐圧トランジスタ、ロジックトランジスタなどの周辺回路のゲートにも用いられる。

【0003】一方、線幅や回路単位を微細化したロジック集積回路（ROGIC・IC）を備えた半導体装置では、シリサイド化技術を採用して動作速度の高速化を図ることが行われている。たとえばゲート、電極などの抵抗を、ポリサイドやサリサイドなどのシリサイド技術により減少させ、動作速度を高速化している。

【0004】

【発明が解決しようとする課題】前述のフローティングゲートを備えた不揮発性メモリ（FLOATOX構造のメモリ）は、従来の使用方法ではそれほど大きい動作速度は要求されず、高速化することはそれほど重要でない。しかしロジック混載のメモリなどでは、ロジック回路や周辺回路、さらにメモリの動作速度の高速化が望ま

れる。そのため線幅やセル単位の微細化が要求される。また消費電力のためにも微細化が望ましい。

【0005】ところが従来の多層構造の半導体装置で用いられているポリシリコンのゲートは金属などに比べて比抵抗が大きく、抵抗を下げるにはある程度の厚さが必要である。すなわち、抵抗を下げるため、ポリシリコンにリン等をドーピングして濃度を高めるが、ゲートが薄い場合、突き抜けが発生してしまう。

【0006】したがって従来、ポリシリコンのゲートの層の厚さは、約4000オングストローム程度にしておく必要がある。そのため線幅などを微細化しても、周辺回路の動作速度を高速化することができない。

【0007】また多層の部分とウエハー表面との段差が大きいため、層間膜が平坦にならない。そのため細かいアルミニウム線を接続するときに断線し易くなり、微細化するが困難である。特に、多層構造の場合は、単層に比べてウエハー表面との段差がより大きくなり、微細化はさらに難しい。

【0008】そこで本発明は、動作速度を高速化することができ、しかも導電層を薄くすることによって微細化が容易な半導体装置および半導体装置の製造方法の提供を目的とする。

【0009】

【課題を解決するための手段】請求項1に係る半導体装置は、半導体基板表面に設けられており、当該半導体基板表面から突出して位置する多層構造の導電層、を有する半導体基板において、導電層は、シリサイド化された部分を備えて構成されている、ことを特徴としている。

【0010】請求項2に係る半導体装置は、請求項1に係る半導体装置において、前記導電層の表面がシリサイド化されている、ことを特徴としている。

【0011】請求項3に係る半導体装置は、請求項2に係る半導体装置において、前記導電層は、フローティングゲートおよびその上部に位置するコントロールゲートとして構成されており、コントロールゲートの表面がシリサイド化されている、ことを特徴としている。

【0012】請求項4に係る半導体装置の製造方法は、半導体基板上に、所定のパターンで多層構造の導電層を形成するステップ、前記導電層を覆って金属膜を形成するステップ、前記金属膜と接している前記導電層の表面をシリサイド化するステップ、前記金属膜を除去するステップ、を備えたことを特徴としている。

【0013】

【発明の効果】請求項1に係る半導体装置においては、半導体基板表面から突出して位置する多層構造の導電層は、シリサイド化された部分を備えて構成されている。

【0014】したがって、導電層の電気抵抗を小さくすることができ、動作速度を高速化することができる。また抵抗が小さいため、導電層を薄くすることができる。したがって半導体基板表面との間が平滑になり、線幅な

どの微細化が容易である。

【0015】請求項2に係る半導体装置においては、導電層の表面がシリサイド化されている。したがって、導電層の電気抵抗を小さくすることができ、動作速度を高速化することができる。また抵抗が小さいため、導電層を薄くすることができる。したがって半導体基板表面との間が平滑になり、線幅などの微細化が容易である。

【0016】請求項3に係る半導体装置においては、導電層は、フローティングゲートおよびその上部に位置するコントロールゲートとして構成されている。そして、コントロールゲートの表面がシリサイド化されている。

【0017】したがって、コントロールゲートの電気抵抗を小さくすることができ、動作速度を高速化することができる。また抵抗が小さいため、フローティングゲートおよびコントロールゲートを薄くすることができる。したがって半導体基板表面との間が平滑になり、線幅などの微細化が容易である。

【0018】請求項4に係る半導体装置の製造方法においては、半導体基板上に、所定のパターンで多層構造の導電層を形成し、導電層を覆って金属膜を形成する。そして、金属膜と接している導電層の表面をシリサイド化し、金属膜を除去する。

【0019】したがって、導電層の電気抵抗を小さくすることができ、動作速度を高速化することができる。また抵抗が小さいため、導電層を薄くすることができる。したがって半導体基板表面との間が平滑になり、線幅などの微細化が容易である。

【0020】

【発明の実施の形態】本発明に係る半導体装置およびその製造法の一実施形態を図面に基いて説明する。図1は本発明に係る半導体装置の一実施形態を模式的に示す拡大断面図であり、図2はその製造工程を示す工程図である。なお以下の実施の形態では、ロジック混載の不揮発性のメモリに適用する場合について説明しているが、本発明はこれらに限定されるものではなく、他の半導体装置にも適用することができる。

【0021】図1において符号1は単結晶のp形シリコンからなる基材であり、一般的にはシリコンウエハーである。基材1の表面には、公知のLOCOS法などによって形成されたフィールド酸化膜2が分離領域として設けられている。各分離領域の間の素子形成領域3、4、5の表面には、ゲート酸化膜6が設けられている。

【0022】図1における左端の素子形成領域3には、メモリセル7と、そのメモリセル用のセレクトトランジスタ8とが形成されている。中央の素子形成領域4には高耐圧トランジスタ9が、右端(図1では下段)の素子形成領域5にはロジックトランジスタ10がそれぞれ形成されている。

【0023】メモリセル7のゲート酸化膜6には、その厚さを減じたトンネル酸化膜11が設けられている。そ

のトンネル酸化膜11を含む所定の範囲の裏面側、すなわち基材1の内部側には、 n^- 化した第1のメモリセル拡散層12が設けられている。さらにそのメモリセル拡散層12と所定の間隔をあけて、第2のメモリセル拡散層13が設けられている。

【0024】他方、ゲート酸化膜6の表面側には、トンネル酸化膜11を含む所定の範囲に形成したポリシリコンの層からなるフローティングゲート14が設けられている。さらにフローティングゲート14の表面には、絶縁用のONO膜15が形成されている。ONO膜15はフローティングゲート14の側面にも形成されている。ONO膜15の表面および側面の上には、ポリシリコンからなるコントロールゲート17が形成されている。コントロールゲート17の周囲には、サイドウォール19が設けられている。

【0025】さらにコントロールゲート17の上面には、この半導体装置の特徴であるシリサイド層20が設けられている。すなわちコントロールゲート17全体で見れば、ポリシリコンとシリサイドの積層構造、すなわちポリサイド構造となっている。このシリサイド層20の金属成分は、半導体装置の目的や下地となるポリシリコンの組成に応じて選択することができる。金属成分としては、たとえばチタン(Ti)、タングステン(W)、モリブデン(Mo)、白金(Pt)などがある。なお不揮発性のメモリの動作速度を上げるためのシリサイド用には、チタンが好ましい。

【0026】このようなシリサイド層20はコントロールゲート17の抵抗を低くする働きがある。そのためコントロールゲート17の動作速度、ひいてはフローティングゲート14の動作速度も早くなる。また抵抗が低下することにより、通常は4000オングストローム程度必要であるフローティングゲート14およびコントロールゲート17の厚さを、約2000オングストロームとすることができる。

【0027】このように、フローティングゲート14およびコントロールゲート17を薄くすることにより、基材1との段差が小さくなる。これによって、後工程での層間膜の平坦化が行いやすくなるので、アルミニウム線などの形成、微細化も容易になる。

【0028】前述のメモリセルに隣接して設けたセレクトトランジスタ8は、1層目のポリシリコン層のセレクトゲート21と、その上のシリサイド層22とを備えている。すなわちこのセレクトトランジスタ8もポリサイド構造としている。セレクトトランジスタ8とメモリセル7との間は、ゲート酸化膜6が除去されており、その間の基板1中に、 n^+ 形にされたソース23が形成されている。またセレクトトランジスタ8と右側の分離領域(フィールド酸化膜2)との間もゲート酸化膜6が除去され、 n^+ 形にされたドレン24が形成されている。

【0029】前述の中央の素子形成領域4の高耐圧トラ

ンジスタ9は、ゲート酸化膜6上に形成したポリシリコンからなるゲート25と、そのゲートの表面に形成したシリサイド層26とを備えている。すなわち、これもポリサイド構造を備えている。また、上記と同様のソース27およびドレン28を備えている。

【0030】さらに右端の素子形成領域5に設けたロジックトランジスタ10は、ゲート酸化膜6の上に形成したポリシリコンからなるゲート29と、その上に形成したシリサイド層30を備えている。これにもソース31およびドレン32が設けられている。

【0031】なお上記の各メモリ、トランジスタの素子の上だけでなく、素子形成領域の基板表面にも、チタンシリサイド層33が形成されている。上記の各トランジスタの表面に設けたシリサイド層22、26、30は、それぞれ各ゲートの抵抗を低くする働きがある。そのため通常は4000オングストローム程度必要であるゲートの厚さを、約2000オングストロームとすることができ。したがって、基材1との段差が小さくなり、後工程での層間膜の平坦化が行いやすくなるので、アルミニウム線などの形成、微細化も容易になる。

【0032】つぎに図2を参照しながら本実施形態における半導体装置の製造方法を説明する。まず単結晶のp形シリコンからなる基材(ウエハ)1の表面に、公知のLOCOS法などによって分離領域となるフィールド酸化膜2を形成する分離工程(ステップS1)を行う。各分離領域の間は、素子が形成される素子形成領域3、4、5である。

【0033】次いで、各素子形成領域の表面を高温で酸化して、ゲート酸化膜6を形成する。左端の素子形成領域3には、メモリセルを形成するので、部分的にエッチングして、厚さを減じたトンネル酸化膜11を設ける。さらに基材1の内部側に、イオン注入してチャネルを生成し、n⁻化した第1および第2のメモリセル拡散層12、13を形成する(ステップS2)。

【0034】次に、フィールド酸化膜2の表面にCVD法などによりポリシリコン層を成長させる。さらに所定のレジストパターンでマスキングし、エッチングして所定のパターンの1層目のポリシリコン層を設ける。この1層目のポリシリコン層により、前述のメモリセル7のフローティングゲート14を作成する。さらにセレクトトランジスタ8のセレクトゲート21および高耐圧トランジスタ9のゲート25を同時に作成する(ステップS3)。

【0035】この後、各ゲート間の不要な部位のゲート酸化膜6をエッチングにより除去する。そして、フローティングゲート14の表面に絶縁用のONO膜15を形

成する。ONO膜15はフローティングゲート14の側面にも形成する。続いて、CVD法などによりポリシリコン層を成長させ、レジストパターンでマスキングし、エッチングして2層目のポリシリコン層を設ける。この2層目のポリシリコン層により、メモリセル7のコントロールゲート17およびロジックトランジスタ10のゲート29を作成する。2層目のポリシリコンを形成した後、各ゲートの側面に異方エッチングを施して、サイドウォール19を形成する(ステップS4)。

【0036】次にメモリセル7のコントロールゲート17の上面および各トランジスタ8、9、10のゲートの上面に、以下のようにシリサイド法でシリサイド層を形成する。すなわち、まず全体にチタンなどの金属膜をスパッタリングにより形成し、800~1000℃程度で約数十秒間、アニーリングする。そして、金属原子を約500~1500オングストローム程度の深さまで、ポリシリコン層内に拡散させる。このときポリシリコンが露出して金属膜と接している部分のみがシリサイド化される。そしてウェットエッチングにより、全体の金属膜を除去すると、上記の各ゲートにシリサイド層が形成される(ステップS5)。なお、さらに所定の温度でアニーリングして、シリサイドの範囲を制御するようにしてもよい。これにより図1に示すロジック混載タイプの不揮発性メモリが得られる。

【図面の簡単な説明】

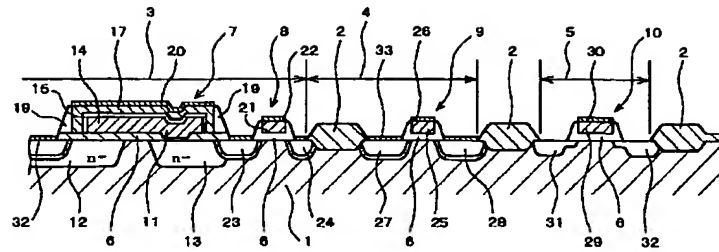
【図1】本発明に係る半導体装置の一実施形態を模式的に示す拡大断面図である。

【図2】図1に示す半導体装置の製造工程の一実施形態を示す工程図である。

【符号の説明】

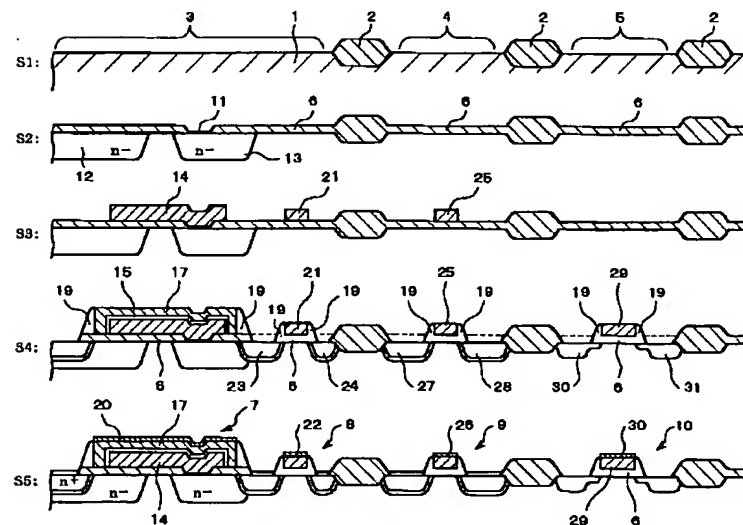
- 1・・・基材
- 2・・・フィールド酸化膜
- 5・・・ゲート酸化膜
- 7・・・メモリセル
- 8・・・セレクトトランジスタ
- 9・・・高耐圧トランジスタ
- 10・・・ロジックトランジスタ
- 14・・・フローティングゲート
- 17・・・コントロールゲート
- 20・・・シリサイド層
- 21・・・セレクトゲート
- 22・・・シリサイド層
- 25・・・ゲート
- 26・・・シリサイド層
- 29・・・ゲート
- 30・・・シリサイド層

【図1】



- | | |
|----------------|---------------|
| 1: 基材 | 17: コントロールゲート |
| 2: フィールド酸化膜 | 20: シリサイド層 |
| 5: ゲート酸化膜 | 21: セレクトゲート |
| 7: メモリセル | 22: シリサイド層 |
| 8: セレクトランジスタ | 25: ゲート |
| 9: 高圧トランジスタ | 26: シリサイド層 |
| 10: ロジックランジスタ | 29: ゲート |
| 14: フローティングゲート | 30: シリサイド層 |

【図2】



フロントページの続き

(51)Int. Cl.⁶
H01L 29/78

識別記号 庁内整理番号

F I

技術表示箇所